



[kingston.com/embedded](https://kingston.com/embedded)

## DRAM

### Kingston LPDDR4 DRAM für Embedded-Anwendungen

Diskreter DDR4-DRAM von Kingston wurde speziell für die Anforderungen von Embedded-Anwendungen entwickelt und bietet eine Hochgeschwindigkeitsoption mit geringerem Stromverbrauch.

## MARKTSEGMENTE



Industrielles IoT / Robotik und Fabrikautomation



5G-Netzwerk-/Telekommunikations-Kommunikationsmodule (WLAN-Router und Mesh-Geräte)



Bürogeräte, Medizinische Geräte, ATM, Verkaufsautomaten



Mobile Anwendungen. Mobilgeräte



Smart Home (Soundbars, Thermostate, Fitnessgeräte, Staubsauger, Betten, Wasserhähne)



Smart City (HVAC, Beleuchtung, Stromüberwachung/-messung, Parkuhren)

## LPDDR4-ARTIKELNUMMERN UND TECHNISCHE DATEN

## KOMMERZIELLE TEMPERATUR

Artikelnummer	Speicherkapazität	Beschreibung	Verpackung	Konfiguration (Wörter x Bits)	Geschwindigkeit Mbps	VDD, VDDQ	Betriebstemperatur
D0811PM2FDGUK	8Gb	200 Ball FBGA LPDDR4 C-Temp	10x14.5x1.0	512Mx16	3733 Mbit/s	1,1V	-25°C bis +85°C
B1621PM2FDGUK	16Gb	200 Ball FBGA LPDDR4 C-Temp	10x14.5x1.0	512Mx32	3733 Mbit/s	1,1V	-25°C bis +85°C

## INDUSTRIELLE TEMPERATUR

Artikelnummer	Speicherkapazität	Beschreibung	Verpackung	Konfiguration (Wörter x Bits)	Geschwindigkeit Mbps	VDD, VDDQ	Betriebstemperatur
D0811PM2FDGUKW	8Gb	200 Ball FBGA LPDDR4 C-Temp	10x14.5x1.0	512Mx16	3733 Mbit/s	1,1V	-40°C bis +95°C
B1621PM2FDGUKW	16Gb	200 Ball FBGA LPDDR4 C-Temp	10x14.5x1.0	512Mx32	3733 Mbit/s	1,1V	-40°C bis +95°C

## DIE WICHTIGSTEN FUNKTIONEN

- DDR-Architektur: zwei Datenübertragungen pro Taktzyklus
- Hochgeschwindigkeits-Datentransfers werden durch 8-Bit-Prefetch-Pipeline-Architektur ermöglicht
- Bidirektionaler differentieller Datenstrobe (DQS und /DQS) wird mit Daten gesendet/empfangen, um Daten am Empfänger zu erfassen
- DQS ist bei READs mit den Daten flankenausgerichtet; bei WRITEs mit den Daten zentriert
- Differentialtaktteingänge (CK\_t und CK\_c)
- DLL gleicht DQ- und DQS-Übergänge mit CK-Übergängen ab
- Datenmaske (DM) Dateneingabe sowohl bei der steigenden als auch bei der fallenden Flanke des Datenstrobes
- Write Cycle Redundancy Code (CRC) wird unterstützt
- Programmierbare Präambel für Lesen und Schreiben wird unterstützt
- Programmierbare Burst-Länge 4/8, sowohl im Nibble-Sequential- als auch im Interleave-Modus
- BL-Schalter im laufenden Betrieb
- Von MRS ausgewählte Treiberstärke
- Dynamic On Die Termination unterstützt
- Zwei Abbruchzustände wie RTT\_PARK und RTT\_NOM schaltbar über ODT-Pin
- Asynchroner RESET-Pin unterstützt
- ZQ-Kalibrierung unterstützt
- Write Levelization unterstützt
- Dieses Produkt entspricht der RoHS-Richtlinie
- Interne Vref DQ-Pegelerzeugung ist verfügbar
- Der TCAR-Modus (Temperature Controlled Auto Refresh) wird unterstützt
- Der LP ASR-Modus (Low Power Auto Self Refresh) wird unterstützt
- Der Befehlsadressen-(CA)-Paritätsmodus (Befehl/Adresse) wird unterstützt
- Adressierbarkeit pro DRAM (PDA)
- Die Aktualisierung mit feiner Granularität wird unterstützt
- Der Geardown-Modus (1/2 Rate, 1/4 Rate) wird unterstützt
- Der Self-Refresh-Abort wird unterstützt
- Der maximale Energiesparmodus wird unterstützt
- Banks Grouping wird angewendet, und die CAS-zu-CAS-Latenz (tCCD\_L, tCCD\_S) für die Bänke in der gleichen oder in verschiedenen Bankgruppen ist verfügbar
- DMI-Pin-Unterstützung für Schreibdatenmaskierung und DBI/c-Funktionalität
- Geringer Energieverbrauch
- Refresh pro Bank
- Vollständig konform mit der JEDEC LPDDR4-Spezifikation (Low Power Double Data Rate 4)
- Partielle Array-Selbstauffrischung (PASR)
  - o Bankmaskierung
  - o Segmentmaskierung
- Automatisches temperaturkompensiertes Selbst-Refresh
  - o (ATCSR) durch eingebauten Temperatursensor
  - o Das Auto-Refresh für alle Bänke und gezieltes Auto-Refresh pro Bank werden unterstützt
- DDR-Architektur: zwei Datenübertragungen pro individuellem Taktzyklus
- Differentielle Takteingänge (CK\_t und CK\_c) Bidirektionaler differentieller Datenstrobe (DQS\_t und DQS\_c) Befehle werden sowohl bei steigender als auch bei fallender CK\_t-Flanke eingegeben; Daten und Datenmaske beziehen sich auf beide Flanken von DQS\_t
- DMI-Pin-Unterstützung für Schreibdatenmaskierung und DBI/c-Funktionalität

