DRAM

DRAM LPDDR4 de Kingston para aplicaciones integradas

Las DRAM LPDDR4 internas de Kingston han sido diseñadas para satisfacer las necesidades de aplicaciones integradas y ofrecer una opción de alta velocidad con un menor consumo eléctrico.

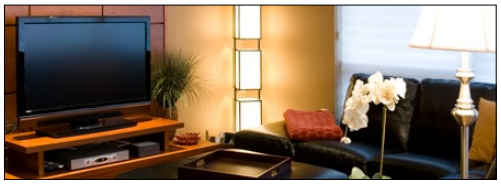
SECTORES DEL MERCADO

IdC industrial / Robótica y automatización industrial

Redes 5G/Módulos de telecomunicaciones (enrutadores wifi y dispositivos de malla)

Equipos de oficina, dispositivos médicos, cajeros automáticos, máquinas de venta automática

Aplicaciones móviles manuales



Hogares inteligentes (barras de sonido, termostatos, equipos de gimnasia, aspiradoras, camas, grifos)

Ciudades inteligentes (medición/seguimiento de climatización, iluminación, consumo eléctrico, parquímetros)

NÚMEROS DE REFERENCIA Y ESPECIFICACIONES DE LPDDR4

TEMPERATURA COMERCIAL

Número de referencia	Capacidad	Descripción	Paquete	Configuración (palabras x bits)	Velocidad, Mbps	VDD, VDDQ	Temperatura de funcionamiento
D0811PM2FDGUK	8Gb	LPDDR4 C-Temp FBGA de 200 bolas	10x14.5x1.0	512 Mx16	3733 Mbps	1,1V	-25 °C a +85 °C
B1621PM2FDGUK	16Gb	LPDDR4 C-Temp FBGA de 200 bolas	10x14.5x1.0	512 Mx16	3733 Mbps	1,1V	-25 °C a +85 °C

TEMPERATURA INDUSTRIAL

Número de referencia	Capacidad	Descripción	Paquete	Configuración (palabras x bits)	Velocidad, Mbps	VDD, VDDQ	Temperatura de funcionamiento
D0811PM2FDGUKW	8Gb	LPDDR4 I-Temp FBGA de 200 bolas	10x14.5x1.0	512 Mx16	3733 Mbps	1,1V	-40 °C a +95 °C
B1621PM2FDGUKW	16Gb	LPDDR4 I-Temp FBGA de 200 bolas	10x14.5x1.0	512 Mx16	3733 Mbps	1,1V	-40 °C a +95 °C

CARACTERÍSTICAS PRINCIPALES

- Arquitectura de doble velocidad de datos (DDR): dos transferencias de datos por ciclo de reloj
- Las transferencias de datos a alta velocidad se efectúan a través de una arquitectura canalizada predireccionada de 8 bits
- Los datos estroboscópicos diferenciales bidireccionales (DQS y /DQS) se transmiten/reciben con datos para captar los datos en el receptor
- DQS está alineado en la periferia con datos de LECTURAS, y alineado en el centro con datos de ESCRITURAS
- Entradas de reloj diferenciales (CK_t y CK_c)
- DLL se alinea con DQ, y las transiciones de DOS con las transiciones de CK
- Máscara de datos (DM) para datos de escritura en los bordes ascendente y descendente del estrobo de datos
- Admite código de redundancia de ciclo (CRC) de escritura
- Compatibilidad con preámbulo programable para lectura y escritura
- Longitud de ráfaga programable 4/8 tanto en modo nibble secuencial como en modo intercalado
- Sustitución de BL sobre la marcha
- Solidez del controlador seleccionada por MRS
- Compatible con terminación dinámica interna
- Dos estados de terminación, como RTT_PARK y RTT_NOM, modificables mediante patilla ODT
- Compatible con patilla RESET asíncrona
- Compatible con calibración ZQ
- Compatible con nivelación de escritura
- Este producto es compatible con la Directiva RdSP
- Disponibilidad de generación de nivel DQ Vref interno
- Compatibilidad con el modo TCAR (Actualización automática controlada por temperatura)
- Compatibilidad con modo LP ASR (Autoactualización a baja potencia)
- Compatibilidad con modo de paridad de dirección de comando (CA) (comando/dirección)
- Direccionabilidad por DRAM (PDA)
- Compatibilidad con actualización de granularidad fina
- Compatibilidad con modo Geardown (1/2 velocidad, 1/4 velocidad)
- Compatibilidad con interrupción de actualización automática
- Compatibilidad con modo de ahorro máximo de potencia
- Aplicación de agrupación de bancos, y disponibilidad de latencia CAS a CAS (tCCD_L, tCCD_S) para acceso a los bancos del mismo o de diferente grupo de bancos
- Admite patilla DMI para enmascaramiento de datos de escritura y funcionalidad DBIdc
- Bajo consumo de energía
- Actualización por banco
- Totalmente compatible con la especificación JEDEC LPDDR4 (doble velocidad de datos y bajo consumo, en inglés)
- Actualización automática de matriz parcial (PASR)
  - Enmascaramiento bancario
  - Enmascaramiento de sector
- Actualización automática con compensación de temperatura
  - (ATCSR) por sensor de temperatura integrado
  - Compatibilidad con actualización automática de todos los bancos y actualización automática dirigida por banco
- Arquitectura de doble velocidad de datos (DDR). Dos transferencias de datos por ciclo de reloj
- Entradas de reloj diferenciales (CK_t y CK_c). Datos estroboscópicos diferenciales bidireccionales (DQS_ tandDQS_c). Comandos introducidos en los bordes ascendente y descendente CK_t. Datos y máscara de datos referenciados a los bordes de DQS_t
- Admite patilla DMI para enmascaramiento de datos de escritura y funcionalidad DBIdc

ESTE DOCUMENTO ESTÁ SUJETO A MODIFICACIÓN SIN PREVIO AVISO.
©2024 Kingston Technology Europe Co LLP y Kingston Digital Europe Co LLP, Kingston Court, Brooklands Close, Sunbury-on-Thames, Middlesex, TW16 7EP, Reino Unido. Tel: +44 (0) 1932 738888 Fax: +44 (0) 1932 785469.
Reservados todos los derechos. Todos los nombres de empresas y marcas registradas son propiedad de sus respectivos dueños. MKF-995ES