



kingston.com/embedded

DRAM

DRAM LPDDR4 de Kingston pour applications embedded

La DRAM LPDDR4 discrète de Kingston est conçue pour répondre aux besoins des applications embedded et offre une option haute vitesse avec une consommation d'énergie réduite.

SEGMENTS DU MARCHÉ



IDO industriel/Robotique et automatisation industrielle



Modules de communication de réseaux/ télécommunications 5G (appareils de maillage et routeurs Wi-Fi)



Équipement de bureau, appareils médicaux, distributeurs automatiques de billets, distributeurs automatiques d'aliments/de boissons



Applications mobiles, appareils portatifs



Domotique (barres de son, thermostats, appareils de fitness, aspirateurs, lits, robinets)



Vie urbaine intelligente (CVC, éclairage, surveillance/ mesure de l'énergie, compteurs de stationnement)

NUMÉROS DE RÉFÉRENCE ET SPÉCIFICATIONS DE LA LPDDR4

COMMERCIAL TEMPERATURE

Référence	Capacité	Description	Package	Configuration (mots x bits)	Vitesse Mbit/s	VDD, VDDQ	Température de fonctionnement
D0811PM2FDGUK	8 Go	200 ball FBGA LPDDR4 C-Temp	10x14.5x1.0	512Mx16	3733 Mbit/s	1,1 V	-25°C ~ +85°C
B1621PM2FDGUK	16 Go	200 ball FBGA LPDDR4 C-Temp	10x14.5x1.0	512Mx32	3733 Mbit/s	1,1 V	-25°C ~ +85°C

INDUSTRIAL TEMPERATURE

Référence	Capacité	Description	Package	Configuration (mots x bits)	Vitesse Mbit/s	VDD, VDDQ	Température de fonctionnement
D0811PM2FDGUKW	8 Go	200 ball FBGA LPDDR4 I-Temp	10x14.5x1.0	512Mx16	3733 Mbit/s	1,1 V	-40°C ~ +95°C
B1621PM2FDGUKW	16 Go	200 ball FBGA LPDDR4 I-Temp	10x14.5x1.0	512Mx32	3733 Mbit/s	1,1 V	-40°C ~ +95°C

CARACTÉRISTIQUES PRINCIPALES

- Architecture à double débit de données : deux transferts de données par cycle d'horloge.
- Le transfert de données à grande vitesse est assuré par une architecture en pipeline prefetch 8 bits.
- L'impulsion de données différentielle bidirectionnelle (DQS et /DQS) est transmise/reçue avec les données pour capturer les données au niveau du récepteur
- DQS aligné sur le bord des données pour les READ (lectures) et aligné sur le centre pour les WRITE (écritures)
- Entrées d'horloge différentielles (CK_t et CK_c)
- La DLL aligne les transitions DQ et DQS sur les transitions CK
- Les données d'écriture du masque de données (DM) sont introduites sur les fronts ascendants et descendants de l'impulsion de données
- Prise en charge du code de redondance du cycle d'écriture (CRC)
- Préambule programmable pour la lecture et l'écriture
- Longueur de rafale programmable 4/8 avec mode séquentiel et mode d'entrelacement des nibbles
- Commutation BL à la volée
- Force du pilote sélectionnée par MRS
- Terminaison dynamique sur la puce prise en charge
- Deux états de terminaison, RTT_PARK et RTT_NOM, commutables par la broche ODT
- Prise en charge de la broche RESET asynchrone
- Prise en charge de la calibration ZQ
- Prise en charge du nivellement d'écriture
- Ce produit est conforme à la directive RoHS
- Génération de niveau DQ par Vref interne disponible
- Prise en charge du mode TCAR (Rafraîchissement automatique contrôlé par la température)
- Prise en charge du mode LP ASR (rafraîchissement automatique à faible consommation)
- Prise en charge du mode de parité CA (commande/adresse)
- Adressabilité par DRAM (PDA)
- Prise en charge du rafraîchissement à granularité fine
- Prise en charge du mode Geardown (1/2 taux, 1/4 taux)
- Prise en charge de l'interruption de l'auto-rafraîchissement
- Prise en charge du mode d'économie d'énergie maximum
- Le groupement de banques est appliqué, et la latence CAS à CAS (tCCD_L, tCCD_S) pour les banques dans le même ou différents accès de groupe de banques sont disponibles
- Prise en charge de la broche DMI pour le masquage des données d'écriture et la fonctionnalité DBIIdc
- Faible consommation d'énergie
- Rafraîchissement par banque
- Entièrement conforme à la spécification JEDEC Low Power double Data Rate 4 (LPDDR4)
- Auto-rafraîchissement de matrice partielle (PASR)
 - o Masquage des banques
 - o Masquage des segments
- Rafraîchissement automatique compensé par la température
 - o (ATCSR) par capteur de température intégré
 - o Pris en charge du rafraîchissement automatique de toutes les banques et rafraîchissement automatique dirigé par banque
- Architecture à double débit de données : deux transferts de données pour un cycle d'horloge
- Entrées d'horloge différentielles (CK_t et CK_c) Impulsion de données différentielle bidirectionnelle (DQS_t et DQS_c) Commandes saisies à la fois sur l'extrémité ascendante et l'extrémité descendante de CK_t ; données et masque de données référencés sur les deux extrémités de DQS_t
- Prise en charge de la broche DMI pour le masquage des données d'écriture et la fonctionnalité DBIIdc



CE DOCUMENT PEUT ÊTRE MODIFIÉ SANS PRÉAVIS.

©2024 Kingston Technology Europe Co LLP et Kingston Digital Europe Co LLP, Kingston Court, Brooklands Close, Sunbury-on-Thames, Middlesex, TW16 7EP, Angleterre. Tél: +44 (0) 1932 738888 Fax: +44 (0) 1932 785469.

Tous droits réservés. Toutes les marques commerciales et les marques déposées sont la propriété de leurs détenteurs respectifs. MKF-995FR

Kingston
TECHNOLOGY