DRAM

DRAM LPDDR4 Kingston per applicazioni integrate

Le DRAM LPDDR4 indipendenti di Kingston sono progettate per essere conformi alle esigenze delle applicazioni integrate e offrire un'alternativa ad alta velocità abbinata a bassi consumi.

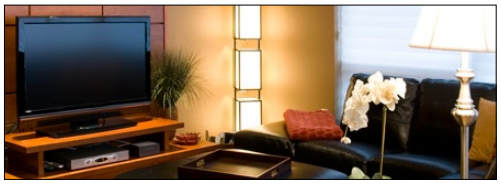
SEGMENTI DI MERCATO

IoT industriale/Robotica e automazione industriale

Reti 5G/Moduli di comunicazione per telecomunicazioni (Router WiFi e dispositivi Mesh)

Attrezzature medicali, dispositivi medici, ATM, distributori automatici

Applicazioni mobili, portatili



Smart home (barre sonore, termostati, attrezzature per il fitness, aspiratori, letti e rubinetti)

Smart City (HVAC, illuminazione, monitoraggio energetico/misurazione, parchimetri)

CARATTERISTICHE TECNICHE E NUMERI DI PARTE RELATIVI A LPDDR4

COMMERCIAL TEMPERATURE

Numero di parte	Capacità	Descrizione	Pacchetto	Configurazione (Parole x Bit)	Velocità in Mbps	VDD, VDDQ	Temperatura di funzionamento
D0811PM2FDGUK	8 Gb	LPDDR4 C-Temp FCBA 200 sfere	10 x 14,5 x 1,0	512Mx16	3733 Mbps	1,1V	da -25°C a +85°C
B1621PM2FDGUK	16 Gb	LPDDR4 C-Temp FCBA 200 sfere	10 x 14,5 x 1,0	512Mx32	3733 Mbps	1,1V	da -25°C a +85°C

INDUSTRIAL TEMPERATURE

Numero di parte	Capacità	Descrizione	Pacchetto	Configurazione (Parole x Bit)	Velocità in Mbps	VDD, VDDQ	Temperatura di funzionamento
D0811PM2FDGUKW	8 Gb	LPDDR4 I-Temp FCBA 200 sfere	10 x 14,5 x 1,0	512Mx16	3733 Mbps	1,1V	da -40°C a +95°C
B1621PM2FDGUKW	16 Gb	LPDDR4 I-Temp FCBA 200 sfere	10 x 14,5 x 1,0	512Mx32	3733 Mbps	1,1V	da -40°C a +95°C

CARATTERISTICHE PRINCIPALI

- Architettura a doppia velocità dati: due trasferimenti dati per ciclo di clock
- L'elevata velocità di trasferimento dei dati viene realizzata mediante l'architettura con instradatura di prefetch a 8 bit
- Differenziale data strobe bidirezionale (DQS e /DQS), trasmesso con dati per la cattura dei dati in corrispondenza del ricevitore
- Il DQS utilizza un allineamento edge con dati per LETTURA; allineamento centro con dati per SCRITTURA
- Input di clock differenziale (CK_t e CK_c)
- Le DLL allineano i DQ e le transizioni DQS con le transizioni CK
- Data mask (DM) scrive i dati in ingresso sia sul fronte in salita che su quello in discesa del data strobe
- Supporto per il codice di ridondanza dei cicli in scrittura (CRC)
- Supporto per il preambolo programmabile in lettura e scrittura
- Burst lenght programmabile 4/8, con nibble sequential e modalità interleave
- Switch BL on the fly
- Resistenza driver selezionata da MRS
- Supporto per On Die Termination dinamico
- Due stati di terminazione, come RTT_PARK e RTT_NOM, commutabili mediante pin ODT
- Supporto per pin di RESET asincrono
- Calibrazione ZQ supportata
- Supporto per livellamento in scrittura
- Prodotto conforme alla direttiva RoHS
- Generazione di livello Vref DQ interno disponibile
- Supporto per la modalità TCAR (Temperature Controlled Auto Refresh)
- Supporto per la modalità LP ASR (Low Power Auto Self Refresh)
- Supporto per la modalità Command Address (CA) Parity (comando/indirizzo)
- Per DRAM Addressability (PDA)
- Supporto per la granularità di refresh fine
- Supporto per modalità geardown (velocità 1/2, velocità 1/4)
- Supporto per la funzione Self Refresh Abort
- Supporto per massimizzazione del risparmio energetico
- Applicazione dei parametri Bank Grouping e latenze da CAS a CAS (tCCD_L, tCCD_S) per i banchi, con accesso disponibile sia nello stesso gruppo banchi che tra banchi differenti
- Supporto pin DMI per la mascheratura dei dati in scrittura e le funzionalità DBIdc
- Consumi energetici ridotti
- Per aggiornamento banco
- Totalmente conforme alle specifiche JEDEC LPDDR4 (Low Power double Data Rate 4
- Partial Array Self-Refresh (PASR)
  - Masking del banco
  - Masking del segmento
- Funzione Auto Temperature Compensated Self-Refresh
  - (ATCSR) tramite sensore di temperatura integrato
  - Supporto dell'aggiornamento automatico per tutti i banchi e per singolo banco
- Architettura con velocità data doppia: due trasferimenti dati per un ciclo di clock
- Input di clock differenziale (CK_t e CK_c) Differenziale data strobe bidirezionale (DQS e /DQS) Comandi inviati sia al punto di salita che di discesa del clock CK_t; dati e maschera dati riferiti a entrambi i punti di DQS_t
- Supporto pin DMI per la mascheratura dei dati in scrittura e le funzionalità DBIdc

IL PRESENTE DOCUMENTO È SOGGETTO A MODIFICHE SENZA PREAVVISO.
©2024 Kingston Technology Europe Co LLP e Kingston Digital Europe Co LLP, Kingston Court, Brooklands Close, Sunbury-on-Thames, Middlesex, TW16 7EP, Regno Unito. Tel: +44 (0) 1932 738888 Fax: +44 (0) 1932 785469.
Tutti i diritti rizervati. Tutti i marchi e i marchi registrati sono proprietà dei rispettivi titolari. MKF-995IT