DRAM

DRAM LPDDR4 de Kingston para aplicaciones integradas

La discreta DRAM LPDDR4 de Kingston está diseñada para satisfacer las necesidades de las aplicaciones integradas y ofrece una opción de alta velocidad con un menor consumo de energía.

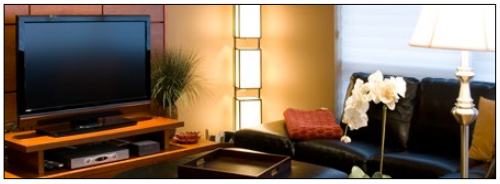
SEGMENTOS DE MERCADO

IoT industrial / robótica y automatización de fábricas

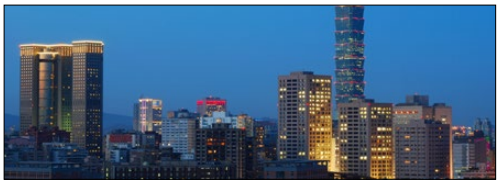
Telecomunicaciones 5G/Módulos de comunicación de redes (enrutadores WiFi y dispositivos de malla)

Equipos de oficina, dispositivos médicos, cajeros automáticos, máquinas expendedoras

Aplicaciones móviles, portátiles



Hogares inteligentes (barras de sonido, termostatos, equipos de gimnasia, aspiradoras, camas, grifos)



Ciudad inteligente (Climatización, iluminación, monitoreo/medición de energía, parquímetros)

LPDDR4 NÚMEROS DE PARTE Y ESPECIFICACIONES

TEMPERATURA COMERCIAL

Número de parte	Capacidad	Descripción	Paquete	Configuración (Palabras x Bits)	Velocidad Mbps	VDD, VDDQ	Temperatura de operación
D0811PM2FDGUK	8Gb	200 bolas FBGA LPDDR4 C-Temp	10x14.5x1.0	512Mx16	3733 Mbps	1.1V	-25° a +85° C
B1621PM2FDGUK	16Gb	200 bolas FBGA LPDDR4 C-Temp	10x14.5x1.0	512Mx32	3733 Mbps	1.1V	-25° a +85° C

TEMPERATURA INDUSTRIAL

Número de parte	Capacidad	Descripción	Paquete	Configuración (Palabras x Bits)	Velocidad Mbps	VDD, VDDQ	Temperatura de operación
D0811PM2FDGUKW	8Gb	200 bolas FBGA LPDDR4 I-Temp	10x14.5x1.0	512Mx16	3733 Mbps	1.1V	-40° a +95°C
B1621PM2FDGUKW	16Gb	200 bolas FBGA LPDDR4 I-Temp	10x14.5x1.0	512Mx32	3733 Mbps	1.1V	-40° a +95°C

CARACTERÍSTICAS CLAVE

- Arquitectura de doble velocidad de datos: dos transferencias de datos por ciclo de reloj
- La transferencia de datos de alta velocidad se realiza mediante la arquitectura de canalización de captación anticipada de 8 bits
- Las señales intermitentes de datos diferenciales (DQS y /DQS) bidireccionales se transmiten/reciben con datos para capturar datos en el receptor
- DQS está alineado al borde con los datos para LECTURAS; alineado al centro con datos para ESCRITURAS
- Entradas de reloj diferencial (CK_t y CK_c)
- DLL alinea las transiciones DQ y DQS con las transiciones CK
- La máscara de datos (DM) escribe datos en los bordes ascendente y descendente de los datos intermitentes
- Respalda el código de redundancia de ciclo de escritura (CRC)
- Se promueve el preámbulo programable para lectura y escritura
- Longitud de ráfaga programable 4/8 con modo nibble secuencial y entrelazado
- Interruptor BL sobre la marcha
- Fuerza del controlador seleccionada por MRS
- Compatible con terminación dinámica On-Die
- Dos estados de terminación como RTT_PARK y RTT_NOM conmutables mediante el pin ODT
- Soporte de pin RESET asincrónico
- Compatible con calibración ZQ
- Nivelación de escritura compatible
- Este producto cumple con la normativa RoHS
- La generación interna de nivel Vref DQ está disponible
- Compatible con el modo TCAR (Temperature Controlled Auto Refresh o Actualización automática controlada por temperatura)
- Compatible con el modo LP ASR (Low Power Auto Self Refresh o Actualización automática de bajo consumo)
- Compatible con el modo de paridad CA (paridad de comando/dirección)
- Direccionalidad por DRAM (PDA)
- Soporta la actualización de granularidad fina
- Soporta el modo Geardown (1/2 velocidad, 1/4 velocidad)
- Admite la interrupción de actualización automática
- Admite el modo de máximo ahorro de energía
- Admite la agrupación de bancos y latencia de CAS a CAS (tCCD_L, tCCD_S) para los bancos en el mismo acceso o en diferentes grupos de bancos
- Soporte de pin DMI para enmascaramiento de datos de escritura y funcionalidad DBIdc
- Menor consumo de energía
- Actualización por banco
- Cumple totalmente con la especificación JEDEC Low Power Double Data Rate 4 o Doble velocidad de datos de bajo consumo (LPDDR4)
- Actualización automática parcial de la matriz (PASR)
  - Enmascaramiento bancario
  - Enmascaramiento de segmento
- Actualización automática con compensación de temperatura
  - (ATCSR) por sensor de temperatura incorporado
  - Se admite la actualización automática de todos los bancos y la actualización automática dirigida por banco
- Arquitectura de doble velocidad de datos; dos transferencias de datos por un ciclo de reloj
- Entradas de reloj diferencial (CK_t y CK_c), señales intermitentes de datos diferenciales (DQS y /DQS) bidireccionales, Comandos introducidos tanto en el borde ascendente como descendente de CK_t; datos y máscara de datos referenciados a ambos bordes de DQS_t
- Soporte de pin DMI para enmascaramiento de datos de escritura y funcionalidad DBIdc

ESTE DOCUMENTO ESTÁ SUJETO A CAMBIOS SIN AVISO.
©2024 Kingston Technology Corporation, 17600 Newhope Street, Fountain Valley, CA 92708 USA. Todos los derechos reservados. Todas las marcas comerciales y las marcas registradas son propiedad exclusiva de sus respectivos dueños. MKF-995LATAM