



kingston.com/embedded

DRAM

Kingston LPDDR4 DRAM สำหรับส่วนการใช้งานสำเร็จรูป

DDR4 DRAM แบบแยกเดี่ยวจาก Kingston คิดค้นมาเพื่อตอบสนองส่วนการใช้งานที่ต้องการฟังก์ชันสำเร็จรูป (Embedded) ทำงานที่ความเร็วสูงโดยใช้พลังงานต่ำ

เซกเมนต์ตลาด



IoT เซกเมนต์อุตสาหกรรม / หุ่นยนต์และระบบอัตโนมัติในโรงงาน



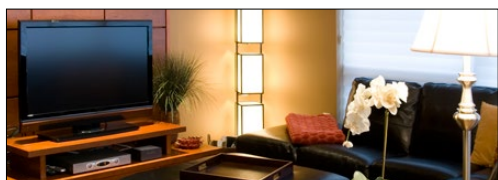
เครือข่าย 5G/โมดูลการสื่อสารด้านโทรคมนาคม (เราเตอร์ WiFi และอุปกรณ์เมฆเชื่อมต่อสัญญาณ)



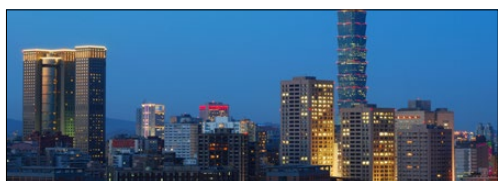
อุปกรณ์สำนักงาน อุปกรณ์การแพทย์ ATM เครื่องจำหน่ายสินค้า



การใช้งานบนมือถือ อุปกรณ์แบบพกพา



สมาร์ทโฮม (ลำโพงชาวต๋าวบาร์, เทอร์โมสตัท, อุปกรณ์ออกกำลังกาย, เครื่องดูดฝุ่น, เตาย่าง, ก๊อكن้ำ)



สมาร์ทซิตี (HVAC ไฟส่องสว่าง ระบบตรวจสอบการใช้ไฟฟ้า/วัดกระแสไฟฟ้า มิเตอร์อัจฉริยะ)

หมายเลขชิ้นส่วนและรายละเอียดทางเทคนิคของ UFS

อุปกรณ์การใช้งานเชิงพาณิชย์

หมายเลขชิ้นส่วน	ความจุ	รายละเอียด	แพ็คเกจ	โครงสร้างการทำงาน (ค่า x นิต)	Mbps ความเร็ว	VDD, VDDQ	อุณหภูมิในการใช้งาน
D0811PM2FDGUK	8Gb	200 ball FBGA LPDDR4 C-Temp	10x14.5x1.0	512Mx16	3733 Mbps	1.1V	-25°C ~ +85°C
B1621PM2FDGUK	16Gb	200 ball FBGA LPDDR4 C-Temp	10x14.5x1.0	512Mx32	3733 Mbps	1.1V	-25°C ~ +85°C

อุปกรณ์การใช้งานเชิงพาณิชย์

หมายเลขชิ้นส่วน	ความจุ	รายละเอียด	แพ็คเกจ	โครงสร้างการทำงาน (ค่า x นิต)	Mbps ความเร็ว	VDD, VDDQ	อุณหภูมิในการใช้งาน
D0811PM2FDGUKW	8Gb	200 ball FBGA LPDDR4 I-Temp	10x14.5x1.0	512Mx16	3733 Mbps	1.1V	-40°C ~ +95°C
B1621PM2FDGUKW	16Gb	200 ball FBGA LPDDR4 I-Temp	10x14.5x1.0	512Mx32	3733 Mbps	1.1V	-40°C ~ +95°C

คุณสมบัติหลัก ๆ

- สถาปัตยกรรม Double Data Rate: ถ่ายโอนข้อมูลสองชุดต่อรอบสัญญาณนาฬิกา
- การถ่ายโอนข้อมูลความเร็วสูงผ่านสถาปัตยกรรมแบบสายทอ 8 นิตที่สืบค้นข้อมูลล่วงหน้า
- การเข้ารหัส Data Strobe เปรียบต่างแบบสองทิศทาง (DQS และ /DQS) จะถูกส่ง/รับพร้อมกับข้อมูลเพื่อบันทึกข้อมูลที่ขาขา
- DQS เป็นการปรับประสานตามแนวขอบสำหรับข้อมูลในการอ่าน และปรับประสานที่แนวกลางสำหรับข้อมูลในการเขียน
- สัญญาณเปรียบเทียบนาฬิกาขาเข้า (CK_t และ CK_c)
- DLL จะปรับประสานกับ DQ และ DQS ร่วมกับ CK
- Data mask (DM) write data-in ทั้งแนวขอบยกตัวและลดระดับของ strobe ข้อมูล
- รองรับ Write Cycle Redundancy Code (CRC)
- รองรับการตั้งโปรแกรมการทำงานที่เหมาะสมกับการอ่านและเขียนข้อมูล
- ความยาวเวิร์ส 4/8 แบบตั้งโปรแกรมการทำงานได้ พร้อมโหมด nibble sequential และ interleave
- สวิตช์ควบคุม BL ที่พร้อมใช้งานทุกเมื่อ
- เลือกจุดแข็งของไดรเวอร์ผ่าน MRS
- รองรับ Dynamic On Die Termination
- สถานะการยกเลิกการทำงานสองสถานะ เช่น RTT_PARK และ RTT_NOM ที่สังการผ่านขาต่อ ODT
- รองรับขาต่อ Asynchronous RESET
- รองรับการปรับเทียบ ZQ
- รองรับการเกลี่ยการเขียนข้อมูล
- ผลิตภัณฑ์นี้ได้มาตรฐานตามข้อกำหนด RoHS
- รองรับ Internal Vref DQ level generation
- รองรับโหมด TCAR (Temperature Controlled Auto Refresh)
- รองรับโหมด LP ASR (Low Power Auto Self Refresh)
- รองรับโหมด Command Address (CA) Parity (command/address)
- Per DRAM Addressability (PDA)
- รองรับระบบรีเฟรชแบบแยกย่อย
- รองรับ Geardown Mode(1/2 rate, 1/4 rate)
- รองรับ Self Refresh Abort
- รองรับโหมดประหยัดพลังงานสูงสุด
- ทำงานร่วมกับ Banks Grouping ค่าหน่วยเวลา CAS to CAS (tCCD_L, tCCD_S) สำหรับแถวหน่วยความจำในกลุ่มแถวเดียวกันหรือคนละกลุ่มกันสามารถกำหนดรูปแบบการทำงานได้ตามต้องการ
- ขาต่อ DMI รองรับการทำมาส์กข้อมูลการเขียนและฟังก์ชัน DBIdd
- ใช้งานพลังงานน้อยกว่า
- รีเฟรชข้อมูลแบบแถวต่อแถว
- ได้มาตรฐานตามข้อกำหนดของ JEDEC Low Power double Data Rate 4 (LPDDR4)
- Partial Array Self-Refresh (PASR)
 - o การมาส์กแถวหน่วยความจำ
 - o การมาส์กเซกเมนต์
- Auto Temperature Compensated Self-Refresh
 - o (ATCSR) ด้วยเซนเซอร์อุณหภูมิในตัว
 - o รองรับการรีเฟรชแถวหน่วยความจำโดยอัตโนมัติ ทั้งการรีเฟรชแถวหน่วยความจำทั้งหมดและเฉพาะแถวที่กำหนด
- สถาปัตยกรรม Double Data Rate: ถ่ายโอนข้อมูลสองชุดต่อรอบสัญญาณนาฬิกา
- สัญญาณเปรียบเทียบนาฬิกาขาเข้า (CK_t และ CK_c), การเข้ารหัส Data Strobe เปรียบต่างแบบสองทิศทาง (DQS และ /DQS), ค่าส่งไปไปยังทั้งขอบขาขึ้น (rising Ck.t edge) และขอบขาลง (falling Ck.t edge), มีการอ้างอิงถึงข้อมูลและการมาส์กข้อมูลไปยังขอบทั้งคู่ของ DQS_t
- ขาต่อ DMI รองรับการทำมาส์กข้อมูลการเขียนและฟังก์ชัน DBIdd

