



[kingston.com/emmc](http://kingston.com/emmc)

## **i-Temp DRAM**

### **Kingston I-Temp DDR3/3L DRAM für Embedded-Anwendungen**

Kingstons On-Board DRAM wurden für die Anforderungen von Embedded-Anwendungen konzipiert und zeichnet sich bei seiner Low-Voltage-Option durch einen geringen Stromverbrauch aus.

## MARKTSEGMENTE



Industrielles IoT / Robotik und Fabrikautomation

5G-Netzwerke / Telekommunikationsmodule  
(WLAN-Router und Mesh-Geräte)Wearables (Smart Watches,  
Gesundheitsüberwachungsgeräte, AR und VR)Smart Home (Soundbars, Thermostate, Fitnessgeräte,  
Staubsauger, Betten, Wasserhähne)Smart City (HLK, Beleuchtung, Stromüberwachung /  
-messung, Parkuhren)

## i-Temp DDR3/3L ARTIKELNUMMERN UND TECHNISCHE DATEN

Artikelnummer	Kapazität	Bezeichnung	Aufmachung	Konfiguration (Wörter x Bits)	Geschwindigkeit Mbit/s	VDD, VDDQ	Betriebstemperatur
D1216ECMDXGJDI	2Gb	96 ball FBGA DDR3/3L	7,5x13,5x1,2	128Mx16	1866 Mbps	1,35V*	-40 bis +95°C
D2568ECMDPGJDI	2Gb	78 ball FBGA DDR3/3L	7,5x10,6x1,2	256Mx8	1866 Mbps	1,35V*	-40 bis +95°C
D2516ECMDXGJDI	4Gb	96 ball FBGA DDR3/3L	7,5x13,5x1,2	256Mx16	1866 Mbps	1,35V*	-40 bis +95°C
D5128ECMDPGJDI	4Gb	78 ball FBGA DDR3/3L	7,5x10,6x1,2	512Mx8	1866 Mbps	1,35V*	-40 bis +95°C
D2516ECMDXGMEI	4Gb	96 ball FBGA DDR3/3L	7,5x13,5x1,2	256Mx16	2133 Mbps	1,35V*	-40 bis +95°C
B5116ECMDXGJDI	8Gb	96 ball FBGA DDR3/3L	9x13,5x1,2	512Mx16	1866 Mbps	1,35V*	-40 bis +95°C

\*Abwärtskompatibel mit 1,5V VDD, VDDQ

## HAUPTMERKMALE

- DDR-Architektur: zwei Datenübertragungen pro Taktzyklus
- Hochgeschwindigkeits-Datentransfers werden durch 8-Bit-Prefetch-Pipeline-Architektur ermöglicht
- Bidirektionaler differentieller Datenstrobe (DOS und /DQS) wird mit Daten gesendet/empfangen, um Daten am Empfänger zu erfassen
- DOS ist bei LESEVORGÄNGEN flankenbündig mit den Daten, bei SCHREIBVORGÄNGEN mittig mit den Daten abgeglichen
- Differenzielle Takteingänge (CK und /CK)
- DLL gleicht DQ- und DOS-Übergänge mit CK-Übergängen ab
- Befehle werden bei jeder positiven CK-Flanke eingegeben. Daten und Datenmaske beziehen sich auf beide Flanken von DQS
- Datenmaske (DM) für das Schreiben von Daten
- Posted/CAS durch programmierbare additive Latenz für bessere Befehls- und Datenbuseffizienz
- On-Die-Termination (ODT für bessere Signalqualität)
  - Synchrone ODT
  - Dynamische CDT
  - Asynchrone ODT
- Mehrzweckregister zum Auslesen vordefinierter Muster
- ZQ-Kalibrierung für DO-Laufwerk und ODT
- Programmierbare partielle Array-Selbstauffrischung (PASR)
- RESET-Pin für Einschalt-Sequenz und Reset-Funktion
- SRT-Bereich: normal/erweitert
- Programmierbare Impedanzsteuerung des Ausgangstreibers