



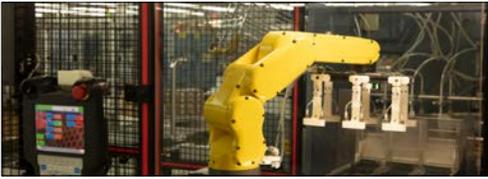
kingston.com/emmc

i-Temp DRAM

I-Temp DDR3/3L DRAM de Kingston para aplicaciones integradas

La DRAM integrada de Kingston está diseñada para satisfacer las necesidades de las aplicaciones integradas y ofrece una opción de bajo voltaje para un menor consumo de energía.

SEGMENTOS DE MERCADO



IoT industrial / robótica y automatización de fábricas



Telecomunicaciones 5G/módulos de comunicación de redes (enrutadores WiFi y dispositivos de malla)



Para usar (relojes inteligentes, monitores de salud, AR y VR)



Hogares inteligentes (barras de sonido, termostatos, equipos de gimnasia, aspiradoras, camas, grifos)



Ciudad inteligente (Climatización, iluminación, monitoreo/medición de energía, parquímetros)

i-Temp DDR3/3L NÚMEROS DE PARTE Y ESPECIFICACIONES

Número de parte	Capacidad	Descripción	Paquete	Configuración	Speed Mbps	VDD, VDDQ	Operating Temperature
(Palabras x Bits)	Velocidad Mbps	96 bolas FBGA DDR3/3L	7.5x13.5x1.2	128Mx16	1866 Mbps	1.35V*	-40° a +95° C
D2568ECMDPGJDI	2Gb	78 bolas FBGA DDR3/3L	7.5x10.6x1.2	256Mx8	1866 Mbps	1.35V*	-40° a +95° C
D2516ECMDXGJDI	4Gb	96 bolas FBGA DDR3/3L	7.5x13.5x1.2	256Mx16	1866 Mbps	1.35V*	-40° a +95° C
D5128ECMDPGJDI	4Gb	78 bolas FBGA DDR3/3L	7.5x10.6x1.2	512Mx8	1866 Mbps	1.35V*	-40° a +95° C
D2516ECMDXGMEI	4Gb	96 bolas FBGA DDR3/3L	7.5x13.5x1.2	256Mx16	2133 Mbps	1.35V*	-40° a +95° C
B5116ECMDXGJDI	8Gb	96 bolas FBGA DDR3/3L	9x13.5x1.2	512Mx16	1866 Mbps	1.35V*	-40° a +95° C

*Compatible con versiones anteriores 1,5 V VDD, VDDQ

CARACTERÍSTICAS CLAVE

- Arquitectura de doble velocidad de datos: dos transferencias de datos por ciclo de reloj
- La transferencia de datos de alta velocidad se realiza mediante la arquitectura de canalización de captación anticipada de 8 bits
- Las señales intermitentes de datos diferenciales (DQS y /DQS) bidireccionales se transmiten/reciben con datos para capturar datos en el receptor
- DOS está alineado al borde con los datos para LECTURAS; alineado al centro con datos para ESCRITURAS
- Entradas de reloj diferencial (CK y / CK)
- DLL alinea las transiciones DQ y DOS con las transiciones CK
- Comandos ingresados en cada borde CK positivo; datos y máscara de datos referenciados a ambos bordes de DQS
- Máscaras de datos (DM) para escribir datos
- Posted /CAS por latencia aditiva programable para una mejor eficiencia del bus de datos y comandos
- Terminación On-Die (ODD para una mejor calidad de señal)
 - Synchronous ODT
 - Dynamic CDT
 - Asynchronous ODT
- Multi-Purpose Register (MPR) for pre-defined pattern read out
- ZQ calibration for DO drive and ODT
- Programmable Partial Array Self-Refresh (PASR)
- RESET pin for power-up sequence and reset function
- SRT range: normal/extended
- Programmable output driver impedance control

