



kingston.com/emmc

DRAM

DRAM DDR3/3L Kingston para dispositivos embarcados

O DRAM embarcado Kingston foi projetado para atender as necessidades de dispositivos embarcados, oferecendo uma opção de baixa tensão para menor consumo de energia.

SEGMENTOS DE MERCADO



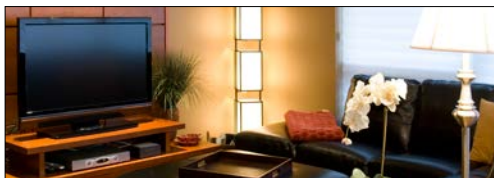
IoT industrial / automação de fábrica e robótica



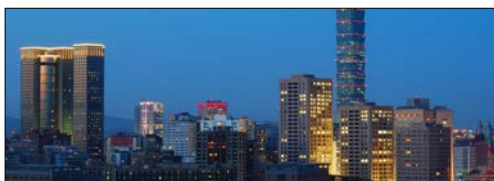
Módulos de comunicação de telecomunicações/rede 5G (roteadores Wi-Fi e dispositivos de malha)



Wearables (smart watches, monitores de saúde, RA e RV)



Casa Inteligente (sound bars, termostatos, equipamento fitness, aspiradores, camas, torneiras)



Cidade inteligente (HVAC, iluminação, medição/monitoramento de energia, máquinas de estacionamento)

DDR3/ 3L código do produto e especificações

Código do produto	Capacidade	Descrição	Embalagem	Configuração (palavras x bits)	Velocidade Mbps	VDD, VDDQ	Temperatura operacional
D1216ECMDXGJD	2Gb	96 ball FBGA DDR3/3L	7,5x13,5x1,2	128Mx16	1866 Mbps	1.35V*	0°C a +95°C
D2568ECMDPGJD	2Gb	78 ball FBGA DDR3/3L	7,5x10,6x1,2	256Mx8	1866 Mbps	1.35V*	0°C a +95°C
D2516ECMDXGJD	4Gb	96 ball FBGA DDR3/3L	7,5x13,5x1,2	256Mx16	1866 Mbps	1.35V*	0°C a +95°C
D5128ECMDPGJD	4Gb	78 ball FBGA DDR3/3L	7,5x10,6x1,2	512Mx8	1866 Mbps	1.35V*	0°C a +95°C
D2516ECMDXGME	4Gb	96 ball FBGA DDR3/3L	7,5x13,5x1,2	256Mx16	2133 Mbps	1.35V*	0°C a +95°C
B5116ECMDXGJD-U	8Gb	96 ball FBGA DDR3/3L	9x13,5x1,2	512Mx16	1866 Mbps	1.35V*	0°C a +95°C

*Compatível com tecnologias anteriores 1.5V VDD, VDDQ

PRINCIPAIS CARACTERÍSTICAS

- Arquitetura de taxa de dados dupla (DDR) duas transferências de dados por ciclo do relógio
- A transferência de dados de alta velocidade é realizada pela arquitetura de pipeline de pré-busca 8 bits
- Strobe de dados diferenciais bidirecionais (DOS e /DQS) é transmitido/recebido com dados para capturar dados no receptor
- DOS é alinhado à extremidade com dados para LEITURAS; alinhado ao centro com dados para GRAVAÇÕES
- Entradas de relógio diferenciais (CK e /CK)
- DLL alinha transições DOS e DQ com transições CK
- Comandos inseridos em cada extremidade CK positiva; dados e máscara de dados indicados para ambas extremidades de DQS
- Máscara de dados (DM) para gravar dados
- Publicado / CAS por latência aditiva programável para melhor comando e eficiência de barramento de dados
- Terminação Resistiva (ODD para melhor qualidade de sinal)
 - o ODT Síncrono
 - o CDT Dinâmico
 - o ODT assíncrono
- Registro de múltiplas finalidades (MPR) para leitura de padrão pré-definido
- Calibração ZQ para drive DO e ODT
- Partial Array Self-Refresh (PASR) programável
- Pin de REINICIALIZAÇÃO para sequência de energia e função de reinicialização
- Taxa SRT: normal/estendida
- Controle de impedância de driver de saída programável

