



[kingston.com/emmc](http://kingston.com/emmc)

## DRAM

### Mémoires DRAM DDR3/3L Kingston pour applications embarquées

Les mémoires DRAM embarquées de Kingston sont conçues pour répondre aux exigences spécifiques des applications embarquées. Elles offrent une option basse tension qui réduit la consommation d'énergie.

## SEGMENTS COMMERCIAUX



IoT industriel/robotique et automatisation industrielle

Modules de communication de réseaux/  
télécommunications 5G (dispositifs de maillage et routeurs WiFi)Dispositifs à porter sur soi (montres intelligentes,  
moniteurs de santé, réalité augmentée et réalité virtuelle)Domotique (barres de son, thermostats, appareils de  
fitness, aspirateurs, lits, robinets)Vie urbaine intelligente (CVC, éclairage, surveillance/  
mesure de l'énergie, compteurs de stationnement)

## Références produits et spécifications standard DDR3/3L

Référence	Capacité	Description	Package	Configuration (mots x Bits)	Vitesse Mbit/s	VDD, VDDQ	Température de fonctionnement
D1216ECMDXGJD	2Go	96 ball FBGA DDR3/3L	7,5x13,5x1,2	128Mx16	1866 Mbit/s	1,35V*	0°C ~ +95°C
D2516ECMDXGJD	4Go	96 ball FBGA DDR3/3L	7,5x13,5x1,2	256Mx16	1866 Mbit/s	1,35V*	0°C ~ +95°C
D5128ECMDPGJD	4Go	78 ball FBGA DDR3/3L	7,5x10,6x1,2	512Mx8	1866 Mbit/s	1,35V*	0°C ~ +95°C
D2516ECMDXGME	4Go	96 ball FBGA DDR3/3L	7,5x13,5x1,2	256Mx16	2133 Mbit/s	1,35V*	0°C ~ +95°C
B5116ECMDXGJD-U	8Gb	96 ball FBGA DDR3/3L	9x13,5x1,2	512Mx16	1866 Mbit/s	1,35V*	0°C ~ +95°C

\* Rétrocompatible 1,5V VDD, VDDQ

## CARACTÉRISTIQUES PRINCIPALES

- Architecture à double vitesse de transmission : deux transferts de données par cycle d'horloge
- Transfert de données à grande vitesse assuré par une architecture en pipeline prefetch 8 bits.
- Un strobe de données différentiel bidirectionnel (DOS et /DQS) est transmis/reçu avec les données et permet de capturer les données au niveau du récepteur.
- Le DOS est aligné sur le bord des données pour les LECTURES et sur le centre des données pour les ÉCRITURES.
- Entrées d'horloge différentielles (CK et /CK)
- DLL aligne les transitions DQ et DOS avec les transitions CK.
- Commandes entrées sur chaque bord CLK positif, les données et le masque de données sont référencées aux deux bords de /DQS
- Masque de données (DM) pour l'écriture des données
- Latence additive programmable /CAS prise en charge pour améliorer l'efficacité du bus de commande et des données
- Terminaison sur puce (ODD pour une meilleure qualité du signal)
  - o ODT Synchrones
  - o CDT Dynamique
  - o ODT Asynchrone
- Registre multifonctionnel (MPR) pour la lecture de motifs prédéfinis
- Calibrage ZQ pour l'unité SO et ODT
- Auto-rafraîchissement programmable de matrice partielle (PASR)
- Broche RESET pour la séquence de mise sous tension et la fonction de réinitialisation
- Plage SRT : normale/étendue
- Contrôle programmable de l'impédance du pilote de sortie