



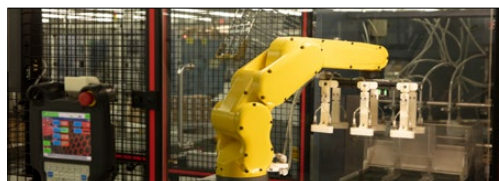
kingston.com/emmc

DRAM

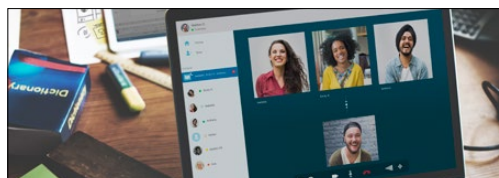
DDR3/DRAM 3L Kingston per applicazioni integrate

La DRAM integrata Kingston è progettata per essere conforme alle esigenze delle applicazioni integrate e offre un'alternativa a basso voltaggio per applicazioni a basso consumo.

FASCE DI MERCATO



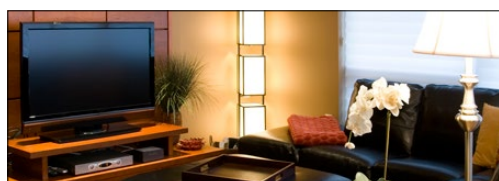
IoT industriale/robotica e automazione industriale



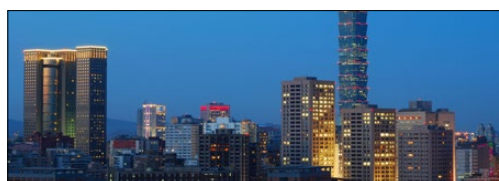
Reti 5G/moduli di comunicazione per telecomunicazioni (router WiFi e dispositivi Mesh)



Indossabili (smart watch, dispositivi di monitoraggio della salute, AR e VR)



Smart home (barre sonore, termostati, attrezzature per il fitness, dispositivi per il vuoto, letti e rubinetti)



Smart city (HVAC, illuminazione, monitoraggio energetico/misurazione, parchimetri)

Numeri di parte e specifiche delle DDR3/3L

Numero di parte	Capacità	Descrizione	Pacchetto	Configurazione (parole x bit)	Velocità in Mbps	VDD, VDDQ	Temperature di funzionamento
D1216ECMDXGJD	2 Gb	DDR3/3L FBGA 96 sfere	7,5x13,5x1,2	128Mx16	1866 Mbps	1,35 V*	da 0°C a +95°C
D2516ECMDXGJD	4 Gb	DDR3/3L FBGA 96 sfere	7,5x13,5x1,2	256Mx16	1866 Mbps	1,35 V*	da 0°C a +95°C
D5128ECMDPGJD	4 Gb	DDR3/3L FBGA 78 sfere	7,5x10,6x1,2	512Mx8	1866 Mbps	1,35 V*	da 0°C a +95°C
D2516ECMDXGJME	4 Gb	DDR3/3L FBGA 96 sfere	7,5x13,5x1,2	256Mx16	2133 Mbps	1,35 V*	da 0°C a +95°C
B5116ECMDXGJD-U	8 Gb	DDR3/3L FBGA 96 sfere	9x13,5x1,2	512Mx16	1866 Mbps	1,35 V*	da 0°C a +95°C

*Retrocompatibile con i modelli 1.5V VDD, VDDQ

CARATTERISTICHE PRINCIPALI

- Architettura con doppia velocità di trasferimento dati (DDR):
Due trasferimenti dati per ciclo di clock
- L'elevata velocità di trasferimento dei dati viene ottenuta mediante l'architettura con instradatura di prefetch 8 bit
- Differenziale data strobe bidirezionale (DOS e /DQS), trasmesso con dati per la cattura dei dati in corrispondenza del ricevitore
- Il DOS utilizza un allineamento edge con dati per LETTURA; allineamento centro con dati per SCRITTURA
- Input di clock differenziale (CK a /CK)
- Le DLL allineano i DQ e le transizioni DOS con le transizioni CK
- Comandi inseriti in ciascun edge CK positivo; dati e maschera dati fanno riferimento sia agli edge che ai DQS
- Maschera dati (DM) per scrittura dati
- Parametro /CAS dichiarato mediante latenza aggiunta, per una maggiore efficienza di comandi e bus dati
- On-Die Termination (ODT), per una migliore qualità del segnale
 - o ODT sincrono
 - o CDT dinamico
 - o ODT asincrono
- Registro multifunzione (MPR) per pattern di lettura predefinito
- Calibrazione ZQ per drive DQ e ODT
- Programmable Partial Array Self-Refresh (PASR)
- Pin di RESET per sequenza di avvio e funzione di reset
- Gamma SRT: normale/estesa
- Controllo di impedenza driver con output programmabile

