



kingston.com/emmc

DRAM

DDR3/3L DRAM de Kingston para aplicaciones integradas

La DRAM integrada de Kingston está diseñada para satisfacer las necesidades de las aplicaciones integradas y ofrece una opción de bajo voltaje para un menor consumo de energía.

SEGMENTOS DE MERCADO



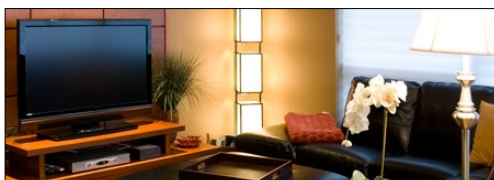
IoT industrial / robótica y automatización de fábricas



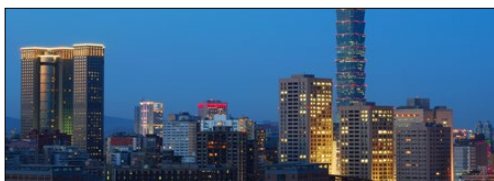
Telecomunicaciones 5G/Módulos de comunicación de redes (enrutadores WiFi y dispositivos de malla)



Para usar (relojes inteligentes, monitores de salud, AR y VR)



Hogares inteligentes (barras de sonido, termostatos, equipos de gimnasia, aspiradoras, camas, grifos)



Ciudad inteligente (climatización, iluminación, monitoreo/medición de energía, parquímetros)

DDR3/3L números de parte y especificaciones

Número de parte	Capacidad	Descripción	Paquete	Configuración (palabras x bits)	Velocidad Mbps	VDD, VDDQ	Temperaturas de operación
D1216ECMDXGJD	2Gb	96 ball FBGA DDR3/3L	7,5x13,5x1,2	128Mx16	1866 Mbps	1,35V*	0° a +95° C
D2516ECMDXGJD	4Gb	96 ball FBGA DDR3/3L	7,5x13,5x1,2	256Mx16	1866 Mbps	1,35V*	0° a +95° C
D5128ECMDPGJD	4Gb	78 ball FBGA DDR3/3L	7,5x10,6x1,2	512Mx8	1866 Mbps	1,35V*	0° a +95° C
D2516ECMDXGME	4Gb	96 ball FBGA DDR3/3L	7,5x13,5x1,2	256Mx16	2133 Mbps	1,35V*	0° a +95° C
B5116ECMDXGJD-U	8Gb	96 ball FBGA DDR3/3L	9x13,5x1,2	512Mx16	1866 Mbps	1,35V*	0° a +95° C

* Compatible con versiones anteriores 1,5 V VDD, VDDQ

CARACTERÍSTICAS CLAVE

- Arquitectura de doble velocidad de datos: dos transferencias de datos por ciclo de reloj
- Transferencia de datos de alta velocidad se realiza mediante la arquitectura de canalización de captación anticipada de 8 bits
- Las señales intermitentes de datos diferenciales (DQS y /DQS) bidireccionales se transmiten/reciben con datos para capturar datos en el receptor
- DOS está alineado al borde con los datos para LECTURAS; alineado al centro con datos para ESCRITURAS
- Entradas de reloj diferencial (CK y / CK)
- DLL alinea las transiciones DQ y DOS con las transiciones CK
- Comandos ingresados en cada borde CK positivo; datos y máscara de datos referenciados a ambos bordes de DQS
- Máscaras de datos (DM) para escribir datos
- Posted /CAS por latencia aditiva programable para una mejor eficiencia del bus de datos y comandos
- Terminación On-Die (ODD para una mejor calidad de señal)
 - o ODT síncrono
 - o CDT dinámico
 - o ODT asíncrono
- Registro de uso múltiple (MPR) para lectura de patrones predefinidos
- Calibración ZQ para DO drive y ODT
- Actualización automática de matriz parcial programable (PASR)
- Pin RESET para secuencia de encendido y función de reinicio
- Rango SRT: normal/extendido
- Control de impedancia del controlador de salida programable

