



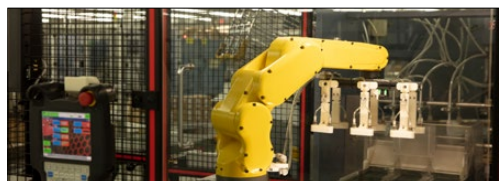
kingston.com/emmc

DRAM

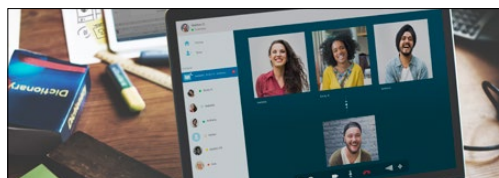
Pamięć DRAM Kingston DDR3/3L do zastosowań wbudowanych

Pamięci DRAM Kingston do zastosowań wbudowanych oferują energooszczędną opcję zasilania niskim napięciem.

MARKET SEGMENTS



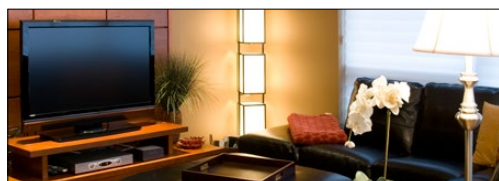
Industrial IoT / robotics & factory automation



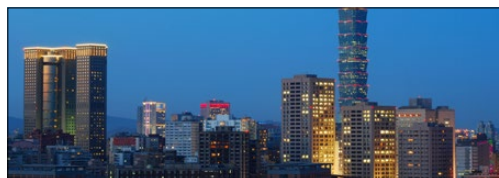
5G networking/telecommunications communication modules (Wi-Fi routers and mesh devices)



Wearables (smart watches, health monitors, AR & VR)



Smart home (sound bars, thermostats, fitness equipment, vacuums, beds, taps)



Smart city (HVAC, lighting, power monitoring/ metering, parking meters)

Numery katalogowe i dane techniczne pamięci DDR3/3L

Numer katalogowy	Pojemność	Opis	Wymiary	Konfiguracja (słowa x bity)	Szybkość w Mb/s	VDD, VDDQ	Temperatura pracy
D1216ECMDXGJD	2Gb	DDR3/3L FBGA, 96 styków (zaokrąglone)	7,5x13,5x1,2	128Mx16	1866Mb/s	1,35V*	0°C ~ +95°C
D2516ECMDXGJD	4Gb	DDR3/3L FBGA, 96 styków (zaokrąglone)	7,5x13,5x1,2	256Mx16	1866Mb/s	1,35V*	0°C ~ +95°C
D5128ECMDPGJD	4Gb	DDR3/3L FBGA, 78 styków (zaokrąglone)	7,5x10,6x1,2	512Mx8	1866Mb/s	1,35V*	0°C ~ +95°C
D2516ECMDXGME	4Gb	DDR3/3L FBGA, 96 styków (zaokrąglone)	7,5x13,5x1,2	256Mx16	2133Mb/s	1,35V*	0°C ~ +95°C
B5116ECMDXGJD-U	8Gb	DDR3/3L FBGA, 96 styków (zaokrąglone)	9x13,5x1,2	512Mx16	1866Mb/s	1,35V*	0°C ~ +95°C

*Wsteczna kompatybilność z VDD, VDDQ 1,5V

SEGMENTY RYNKU

- Architektura Double Data Rate (DDR) – dwa transfery danych na cykl zegara
- Szybki transfer danych jest realizowany przez 8-bitową architekturę potokową pobierania wstępnego
- Dwukierunkowy różnicowy stroboskop danych (DOS i /DQS) jest przesyłany/ odbierany z danymi do przechwytywania w odbiorniku
- DOS jest wyrównany względem zbocza z danymi do odczytu i wyśrodkowany z danymi do zapisu
- Różnicowe wejścia zegara (CK i /CK)
- DLL wyrównuje przejścia DQ i DOS z przejściami CK
- Polecenia wprowadzane na każdym dodatnim zboczach CK; dane i maska danych w odniesieniu do obu zboczy sygnału DQS
- Maska danych (DM) do zapisu danych
- Przesyłanie /CAS z programowalnym opóźnieniem addytywnym dla lepszej wydajności magistrali poleceń i danych
- Układy terminujące wewnątrz pamięci (ODD dla lepszej jakości sygnału)
 - o Synchroniczne ODT
 - o Dynamiczne CDT
 - o Asynchroniczne ODT
- Rejestr wielofunkcyjny (MPR) do odczytu predefiniowanego wzorca
- Kalibracja ZQ dla napędu DO i ODT
- Programowalne samoczynne częściowe odświeżanie macierzy (PASR)
- Styk RESET do sekwencji uruchamiania i funkcji resetowania
- Zakres SRT: normalny/rozszerzony
- Programowalna kontrola impedancji sterownika wyjściowego