



kingston.com/emmc

DRAM

面向嵌入式应用的金士顿 DDR4 DRAM

金士顿板载 DDR4 DRAM 旨在满足嵌入式应用的需求，并提供更低功耗的高速选项。

市场细分



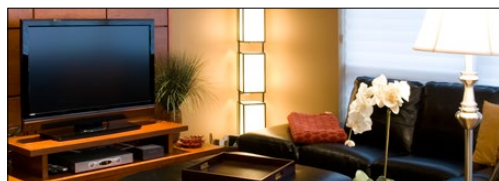
工业物联网 / 机器人和工厂自动化



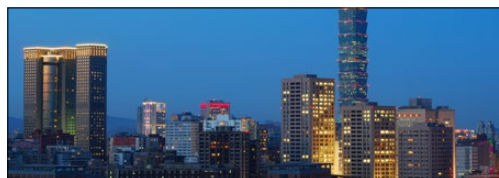
5G 网络/电信通信模块 (WiFi 路由器和 Mesh 设备)



办公设备、医疗设备、ATM、自动贩卖机



智能家居 (条形音箱、恒温控制器、健身器材、真空吸尘器、网络电视、床、水龙头)



智慧城市 (暖通空调、照明、电力监测/计量、停车计时器)

DDR4 产品型号和规格

产品型号	容量	描述	封装尺寸	配置 (Words x bits)	速度 Mbps	VDD、 VDDQ	工作温度
D5116AN9CXGRK	8Gb	96 ball FBGA DDR4 C-Temp	7.5x13x1.2	512Mx16	2666 Mbps	1.2V	0°C ~ +95°C
D5116AN9CXGN	8Gb	96 ball FBGA DDR4 C-Temp	7.5x13x1.2	512Mx16	3200 Mbps	1.2V	0°C ~ +95°C
D2516ACXGXGRK	4Gb	96 ball FBGA DDR4 C-Temp	7.5x13x1.2	256Mx16	2666 Mbps	1.2V	0°C ~ +95°C
D5116AN9CXGN	8Gb	96 ball FBGA DDR4 I-Temp	7.5x13x1.2	512Mx16	3200 Mbps	1.2V	-40°C ~ +95°C
D1028AN9CPGXN	8Gb	78 ball FBGA DDR4 I-Temp	7.5x13x1.2	512Mx8	3200 Mbps	1.2V	-40°C ~ +95°C

主要特性

- 双倍数据速率架构: 每个时钟周期两次数据传输
- 高速数据传输由 8 位预取流水线架构实现
- 双向差分数据选通 (DQS 和 /DQS) 随数据传输/接收, 用于在接收器处收集数据
- DQS 针对 READ 与数据边沿对齐; 针对 WRITE 与数据中部对齐
- 差分时钟输入 (CK_t 和 CK_c)
- DLL 将 DQ 和 DQS 转换与 CK 转换对齐
- 数据脱敏 (DM) 在数据选通的上升沿和下降沿写入数据
- 支持写入周期冗余代码 (CRC)
- 支持用于读取和写入的可编程前置码
- 可编程突发长度 4/8, 含 nibble sequential 和 interleave 模式
- 突发长度动态切换
- MRS 选择的驱动长度
- 支持动态片内终结
- 两个终止状态, 例如可由 ODT 引脚切换的 RTT_{PARK} 和 RTT_{NOM}
- 支持异步 RESET 引脚
- 支持 ZQ 校准
- 支持写入均衡化
- 此产品符合 RoHS 指令要求
- 内部 Vref DQ 电平生成可用
- 支持 TCAR (温控自动刷新) 模式
- 支持 LP ASR (低功耗自动自刷新) 模式
- 支持命令地址 (CA) 奇偶校验 (命令/地址) 模式
- 单 DRAM 寻址 (PDA)
- 支持精细粒度刷新
- 支持 Geardown 模式 (1/2 速率、1/4 速率)
- 支持自刷新中止
- 支持最大节能模式
- 应用了列分组, 相同或不同列组存取中列的 CAS 至 CAS 延迟 (tCCD_L、tCCD_S) 可用
- 针对数据脱敏和 DBI_{dc} 功能的 DMI 引脚支持



本文件如有变更, 恕不另行通知。

©2023 Kingston Technology Far East Corp. (Asia Headquarters) No. 1-5, Li-Hsin Rd. 1, Science Park, Hsin Chu, Taiwan.
保留所有权利。所有商标和注册商标均为各所有人之财产。MKF-949.5CN

Kingston
TECHNOLOGY