



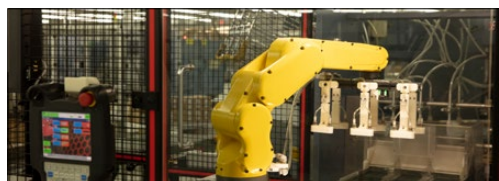
kingston.com/emmc

DRAM

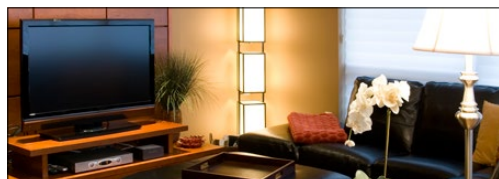
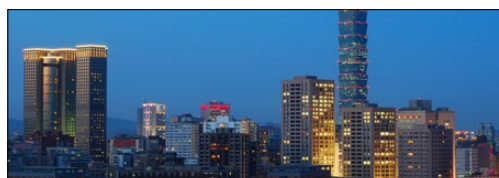
DRAM DDR4 de Kingston pour les applications embarquées

La DRAM DDR4 embarquée de Kingston est conçue pour répondre aux besoins des applications embarquées et offre une option haute vitesse avec une consommation d'énergie réduite.

SEGMENTS COMMERCIAUX



IoT industriel/robotique et automatisation industrielle

Modules de communication de réseaux/
télécommunications 5G (dispositifs de maillage
et routeurs Wi-Fi)Équipement de bureau, appareils médicaux,
distributeurs automatiques de billets, distributeurs
automatiques d'aliments/boissonsMaison intelligente (barres de son, thermostats, appareils
de fitness, aspirateurs, téléviseurs IP, lits, robinets)Vie urbaine intelligente (CVC, éclairage, surveillance/
mesure de l'énergie, compteurs de stationnement)

NUMÉROS DE RÉFÉRENCE ET SPÉCIFICATIONS DE LA DDR4

Part Number	Capacity	Description	Package	Configuration (Words x Bits)	Speed Mbps	VDD, VDDQ	Operating Temperature
D5116AN9CXGRK	8Go	96 ball FBGA DDR4 C-Temp	7.5x13x1.2	512Mx16	2666 Mbps	1.2V	0°C +95°C
D5116AN9CXGXN	8Go	96 ball FBGA DDR4 C-Temp	7.5x13x1.2	512Mx16	3200 Mbps	1.2V	0°C +95°C
D2516ACXGXGRK	4Go	96 ball FBGA DDR4 C-Temp	7.5x13x1.2	256Mx16	2666 Mbps	1.2V	0°C +95°C
D5116AN9CXGXNI	8Go	96 ball FBGA DDR4 I-Temp	7.5x13x1.2	512Mx16	3200 Mbps	1.2V	-40°C +95°C
D1028AN9CPGXNI	8Go	78 ball FBGA DDR4 I-Temp	7.5x13x1.2	512Mx8	3200 Mbps	1.2V	-40°C +95°C

CARACTÉRISTIQUES PRINCIPALES

- Architecture à double débit de données : deux transferts de données par cycle d'horloge
- Le transfert de données à grande vitesse est assuré par une architecture en pipeline prefetch 8 bits
- L'impulsion de données différentielle bidirectionnelle (DQS et /DQS) est transmise/reçue avec les données pour capturer les données au niveau du récepteur
- DQS est aligné sur le bord des données pour les READ (lectures) et aligné sur le centre pour les WRITE (écritures)
- Entrées d'horloge différentielles (CK t et CK c)
- La DLL aligne les transitions DQ et DQS sur les transitions CK
- Les données d'écriture du masque de données (DM) sont introduites sur les fronts ascendants et descendants de l'impulsion de données
- Prise en charge du code de redondance du cycle d'écriture (CRC)
- Préambule programmable pour la lecture et l'écriture
- Longueur de rafale programmable 4/8 avec mode séquentiel et mode d'entrelacement des nibbles
- Commutation BL à la volée
- Force du pilote sélectionnée par MRS
- Terminaison dynamique sur la puce prise en charge
- Deux états de terminaison, RTT PARK et RTT NOM, commutables par la broche ODT
- Prise en charge de la broche RESET asynchrone
- Prise en charge de la calibration ZQ
- Support du nivellement d'écriture
- Ce produit est conforme à la directive RoHS
- Génération de niveau DQ par Vref interne disponible
- Prise en charge du mode TCAR (Rafraîchissement automatique contrôlé par la température)
- Prise en charge du mode LP ASR (Rafraîchissement automatique à faible consommation)
- Prise en charge du mode de parité CA (commande/adresse)
- Adressabilité par DRAM (PDA)
- Prise en charge du rafraîchissement à granularité fine
- Prise en charge du mode Geardown (1/2 taux, 1/4 taux)
- Prise en charge de l'interruption de l'auto-rafraîchissement
- Prise en charge du mode d'économie d'énergie maximum
- Le groupement de banques est appliqué, et la latence CAS à CAS (tCCD L, tCCD S) pour les banques dans le même ou différents accès de groupe de banques sont disponibles
- Prise en charge de la broche DMI pour le masquage des données d'écriture et la fonctionnalité DBIdc

