



kingston.com/emmc

DRAM

DRAM DDR4 Kingston per applicazioni integrate

Le DRAM DDR4 integrate Kingston sono progettate per essere conformi alle esigenze delle applicazioni integrate e offrire un'alternativa ad alta velocità abbinata a bassi consumi.

FASCE DI MERCATO



IoT industriale/robotica e automazione industriale



Reti 5G/Moduli di comunicazione per telecomunicazioni (router WiFi e dispositivi Mesh)



Attrezzature mediche, dispositivi medici, ATM, distributori automatici



Smart home (barre sonore, termostati, attrezzature per il fitness, dispositivi di aspirazione, IPTV, letti e rubinetti)



Smart City (HVAC, illuminazione, monitoraggio energetico/misurazione, parchimetri)

NUMERI DI PARTE E SPECIFICHE DDR4

Numero di parte	Capacità	Descrizione	Pacchetto	Configurazione (Parole x bit)	Velocità in Mbps	VDD, VDDQ	Temperatura di funzionamento
D5116AN9CXGXN	8Gb	DDR4 C-Temp FCBA 96 sfere	7.5x13x1.1	512Mx16	3200 Mbps	1.2V	0°C ~ +95°C
D2516ACXGXGRK	4Gb	DDR4 C-Temp FCBA 96 sfere	7.5x13x1.1	256Mx16	2666 Mbps	1.2V	0°C ~ +95°C
D2516AN9EXGXNI-U	4Gb	DDR4 I-Temp FCBA 96 sfere	7.5x13x1.1	256Mx16	3200 Mbps	1.2V	-40°C ~ +95°C
D5116AN9CXGXNI	8Gb	DDR4 I-Temp FCBA 96 sfere	7.5x13x1.1	512Mx16	3200 Mbps	1.2V	-40°C ~ +95°C
D1028AN9CPGXNI	8Gb	DDR4 I-Temp FCBA 78 sfere	7.5x13x1.1	512Mx8	3200 Mbps	1.2V	-40°C ~ +95°C
D5116AN9CXGXNY-U	8Gb	DDR4 Auto-Temp FCBA 96 sfere	7.5x13x1.1	512Mx16	3200 Mbps	1.2V	-40°C ~ +105°C

CARATTERISTICHE PRINCIPALI

- Architettura con velocità dati doppia: due trasferimenti dati per ciclo di clock
- L'elevata velocità di trasferimento dei dati viene realizzata mediante l'architettura con instradatura di prefetch a 8 bit
- Differenziale data strobe bidirezionale (DQS e /DQS), trasmesso con dati per la cattura dei dati in corrispondenza del ricevitore
- Il DQS utilizza un allineamento edge con dati per LETTURA; allineamento centro con dati per SCRITTURA
- Input di clock differenziale (CK_t e CK_c)
- Le DLL allineano i DQ e le transizioni DQS con le transizioni CK
- Maschera dati (DM) per scrittura dati (DM) in corrispondenza di entrambi i limiti calanti delle curve di data strobe
- Supporto per il codice di ridondanza dei cicli in scrittura (CRC)
- Supporto per il preambolo programmabile in lettura e scrittura
- Burst length programmabile 4/8, con nibble sequential e modalità interleave
- Switch BL on the fly
- Resistenza driver selezionata da MRS
- Supporto per On Die Termination dinamica
- Due stati di terminazione, come RTT_PARK e RTT_NOM, commutabili mediante pin ODT
- Supporto per pin di RESET asincrono
- Calibrazione ZQ supportata
- Supporto per livellamento in scrittura
- Prodotto conforme alla direttiva RoHS
- Generazione di livello Vref DQ interno disponibile
- Supporto per la modalità TCAR (Temperature Controlled Auto Refresh).
- Supporto per la modalità LP ASR (Low Power Auto Self Refresh)
- Supporto per la modalità Command Address (CA) Parity (comando/indirizzo)
- Per DRAM Addressability (PDA)
- Supporto per la granularità di refresh fine
- Supporto per modalità geardown (velocità 1/2, velocità 1/4)
- Supporto per la funzione Self Refresh Abort
- Supporto per massimizzazione del risparmio energetico
- Applicazione dei parametri Bank Grouping e latenze da CAS a CAS (tCCD_L, tCCD_S) per i banchi, con accesso disponibile sia nello stesso gruppo banchi che tra banchi differenti
- Supporto pin DMI per la mascheratura dei dati in scrittura e le funzionalità DBIcd

