



kingston.com/emmc

DRAM

DRAM DDR4 de Kingston para aplicaciones integradas

La DRAM DDR4 integrada de Kingston está diseñada para satisfacer las necesidades de las aplicaciones integradas y ofrece una opción de alta velocidad con menor consumo de energía.

SEGMENTOS DE MERCADO



IoT industrial/robótica y automatización de fábricas



Telecomunicaciones 5G/módulos de comunicación de redes (enrutadores WiFi y dispositivos de malla)



Equipos de oficina, dispositivos médicos, cajeros automáticos, máquinas expendedoras



Hogares inteligentes (barras de sonido, termostatos, equipos de gimnasia, aspiradoras, IPTVs, camas, grifos)



Ciudad inteligente (climatización, iluminación, monitoreo/medición de energía, parquímetros)

DDR4 CÓDIGOS DE ARTÍCULO Y ESPECIFICACIONES

Número de parte	Capacidad	Descripción	Paquete	Configuración (Palabras x bits)	Velocidad Mbps	VDD, VDDQ	Temperatura de operación
D5116AN9CXGRK	8Gb	96 ball FBGA DDR4 C-Temp	7.5x13x1.2	512Mx16	2666 Mbps	1.2V	0°C +95°C
D5116AN9CXGXN	8Gb	96 ball FBGA DDR4 C-Temp	7.5x13x1.2	512Mx16	3200 Mbps	1.2V	0°C +95°C
D2516ACXGXGRK	4Gb	96 ball FBGA DDR4 C-Temp	7.5x13x1.2	256Mx16	2666 Mbps	1.2V	0°C +95°C
D5116AN9CXGXNI	8Gb	96 ball FBGA DDR4 I-Temp	7.5x13x1.2	512Mx16	3200 Mbps	1.2V	-40°C +95°C
D1028AN9CPGXNI	8Gb	78 ball FBGA DDR4 I-Temp	7.5x13x1.2	512Mx8	3200 Mbps	1.2V	-40°C +95°C

CARACTERÍSTICAS CLAVE

- Arquitectura de doble velocidad de datos: dos transferencias de datos por ciclo de reloj
- La transferencia de datos de alta velocidad se realiza mediante la arquitectura de canalización de captación anticipada de 8 bits
- Las señales intermitentes de datos diferenciales (DQS y /DQS) bidireccionales se transmiten/reciben con datos para capturar datos en el receptor
- DQS está alineado al borde con los datos para LECTURAS; alineado al centro con datos para ESCRITURAS
- Entradas de reloj diferencial (CK t y CK c)
- DLL alinea las transiciones DQ y DQS con las transiciones CK
- Entrada de datos de escritura de máscaras de datos (DM) en los bordes ascendente y descendente de los datos intermitentes
- Respalda el código de redundancia de ciclo de escritura (CRC)
- Se promueve el preámbulo programable para lectura y escritura
- Longitud de ráfaga programable 4/8 con modo nibble secuencial y entrelazado
- Interruptor BL sobre la marcha
- Fuerza del controlador seleccionada por MRS
- Compatible con terminación dinámica en el troquel
- Dos estados de terminación como RTT PARK y RTT NOM conmutables mediante el pin ODT
- Soporte de pin RESET asincrónico
- Compatible con calibración ZQ
- Nivelación de escritura compatible
- Este producto cumple con la normativa RoHS
- La generación interna de nivel Vref DQ está disponible
- Compatible con el modo TCAR (actualización automática controlada por temperatura).
- Compatible con el modo LP ASR (Actualización automática de bajo consumo)
- Compatible con el modo de paridad CA (paridad de comando/dirección)
- Direccionalidad por DRAM (PDA)
- Soporta la actualización de granularidad fina
- Soporta el modo Geardown (1/2 velocidad, 1/4 velocidad)
- Admite la interrupción de actualización automática
- Admite el modo de máximo ahorro de energía
- Admite la agrupación de bancos y latencia de CAS a CAS (tCCD L, tCCD S) para los bancos en el mismo acceso o en diferentes grupos de bancos.
- Soporte de pin DMI para enmascaramiento de datos de escritura y funcionalidad DBIcd

