



[kingston.com/emmc](http://kingston.com/emmc)

## DRAM

### Kingston DDR4 DRAM สำหรับส่วนการใช้งานสำเร็จรูป

DDR4 DRAM ในตัวจาก Kingston คิดค้นมาเพื่อตอบสนองส่วนการใช้งานที่ต้องการฟังก์ชันสำเร็จรูป (Embedded) ทำงานที่ความเร็วสูงโดยใช้พลังงานต่ำ

กลุ่มตลาด



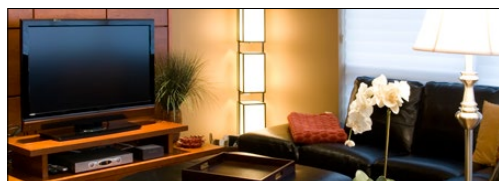
IoT เชิงอุตสาหกรรม / หุ่นยนต์และระบบอัตโนมัติในโรงงาน



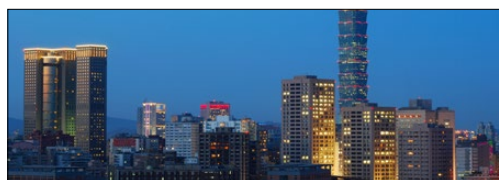
เครือข่าย 5G/โมดูลการสื่อสารด้านโทรคมนาคม (เราเตอร์ WiFi และอุปกรณ์เมชเชื่อมต่อสัญญาณ)



อุปกรณ์สำนักงาน อุปกรณ์การแพทย์ ATM เครื่องจำหน่ายสินค้า



สมาร์ทโฮม (ลำโพง เทอร์โมสแตท อุปกรณ์ฟิตเนส เครื่องดูดฝุ่น IPTV เดียง ก๊อ)



สมาร์ทซิตี้ (HVAC ไฟส่องสว่าง ระบบตรวจสอบการใช้ไฟฟ้า/วัดกระแสไฟฟ้า มิเตอร์จอดรถ)

เลขชิ้นส่วนและรายละเอียดทางเทคนิคสำหรับ DDR4

เลขชิ้นส่วน	ความจุ	รายละเอียด	แพ็คเกจ	โครงสร้างการทำงาน (ค่า x บิต)	Mbps ความเร็ว	VDD, VDDQ	อุณหภูมิการทำงาน
D5116AN9CXGRK	8Gb	96 ball FBGA DDR4 C-Temp	7.5x13x1.2	512Mx16	2666 Mbps	1.2V	0°C +95°C
D5116AN9CXGN	8Gb	96 ball FBGA DDR4 C-Temp	7.5x13x1.2	512Mx16	3200 Mbps	1.2V	0°C +95°C
D2516ACXGXGRK	4Gb	96 ball FBGA DDR4 C-Temp	7.5x13x1.2	256Mx16	2666 Mbps	1.2V	0°C +95°C
D5116AN9CXGNX	8Gb	96 ball FBGA DDR4 I-Temp	7.5x13x1.2	512Mx16	3200 Mbps	1.2V	-40°C +95°C
D1028AN9CPGXNI	8Gb	78 ball FBGA DDR4 I-Temp	7.5x13x1.2	512Mx8	3200 Mbps	1.2V	-40°C +95°C

คุณสมบัติเด่น

- สถาปัตยกรรม Double Data Rate: ถ่ายโอนข้อมูลสองชุดต่อรอบสัญญาณนาฬิกา
- การถ่ายโอนข้อมูลความเร็วสูงผ่านสถาปัตยกรรม 8 บิตที่สืบค้นข้อมูลล่วงหน้า
- การเข้ารหัส Data Strobe เปรียบต่างแบบสองทิศทาง (DQS และ /DQS) จะถูกส่ง/รับพร้อมกับข้อมูลเพื่อบันทึกข้อมูลที่ขารับ
- DQS เป็นการปรับประสานตามแนวขอบสำหรับข้อมูลในการอ่าน และปรับประสานที่แนวกลางสำหรับข้อมูลในการเขียน
- สัญญาณเปรียบเทียบนาฬิกาขาเข้า (CK t และ CK c)
- DLL จะปรับประสานกับ DQ และ DQS ร่วมกับ CK
- Data mask (DM) write data-in ทั้งแนวขอบยกตัวและลดระดับของ strobe ข้อมูล
- รองรับ Write Cycle Redundancy Code (CRC)
- รองรับการตั้งโปรแกรมการทำงานที่เหมาะสมกับการอ่านและเขียนข้อมูล
- ความยาวเบิร์ส 4/8 แบบตั้งโปรแกรมการทำงานได้ พร้อมโหมด nibble sequential และ interleave
- สวิตช์ควบคุม BL ที่พร้อมใช้งานทุกเมื่อ
- เลือกจุดแข็งของไดรเวอร์ผ่าน MRS
- รองรับ Dynamic On Die Termination
- สถานะการยกเลิกการทำงานสองสถานะ เช่น RTT PARK และ RTT NOM ที่สั่งการผ่านขาต่อ ODT
- รองรับขาต่อ Asynchronous RESET
- รองรับการปรับเทียบ ZQ
- รองรับการเกลี้ยการเขียนข้อมูล
- ผลิตภัณฑ์นี้ได้มาตรฐานตามข้อกำหนด RoHS
- รองรับ Internal Vref DQ level generation
- รองรับโหมด TCAR (Temperature Controlled Auto Refresh)
- รองรับโหมด LP ASR (Low Power Auto Self Refresh)
- รองรับโหมด Command Address (CA) Parity (command/address)
- Per DRAM Addressability (PDA)
- รองรับระบบรีเฟรชแบบแยกย่อย
- รองรับ Geardown Mode(1/2 rate, 1/4 rate)
- รองรับ Self Refresh Abort
- รองรับโหมดประหยัดพลังงานสูงสุด
- ทำงานร่วมกับ Banks Grouping ค่าหน่วยเวลา CAS to CAS (tCCD L, tCCD S) สำหรับแถวหน่วยความจำในกลุ่มแถวเดียวกันหรือคนละกลุ่มกันสามารถกำหนดรูปแบบการทำงานได้ตามต้องการ
- ขาต่อ DMI รองรับการทำมาสกข้อมูลการเขียนและฟังก์ชัน DBIcd

